

# 特許協力条約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）

〔PCT36条及びPCT規則70〕

REC'D 17 FEB 2006

WIPO

PCT

出願人又は代理人 の書類記号 WN-2734P	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/JP2004/014035	国際出願日 (日.月.年) 17.09.2004	優先日 (日.月.年) 27.10.2003
国際特許分類 (IPC) Int.Cl. G11C11/412(2006.01), G11C11/41(2006.01), H01L27/10(2006.01)		
出願人 (氏名又は名称) 日本電気株式会社		

<p>1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。 法施行規則第57条（PCT36条）の規定に従い送付する。</p> <p>2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。</p> <p>3. この報告には次の附属物件も添付されている。</p> <p>a. <input checked="" type="checkbox"/> 附属書類は全部で 9 ページである。</p> <p><input checked="" type="checkbox"/> 補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び/又は図面の用紙（PCT規則70.16及び実施細則第607号参照）</p> <p><input type="checkbox"/> 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙</p> <p>b. <input type="checkbox"/> 電子媒体は全部で (電子媒体の種類、数を示す)。 配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。 (実施細則第802号参照)</p>	
<p>4. この国際予備審査報告は、次の内容を含む。</p> <p><input checked="" type="checkbox"/> 第I欄 国際予備審査報告の基礎</p> <p><input type="checkbox"/> 第II欄 優先権</p> <p><input checked="" type="checkbox"/> 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成</p> <p><input type="checkbox"/> 第IV欄 発明の単一性の欠如</p> <p><input checked="" type="checkbox"/> 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明</p> <p><input type="checkbox"/> 第VI欄 ある種の引用文献</p> <p><input type="checkbox"/> 第VII欄 国際出願の不備</p> <p><input type="checkbox"/> 第VIII欄 国際出願に対する意見</p>	

国際予備審査の請求書を受理した日 26.08.2005	国際予備審査報告を作成した日 03.02.2006	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 加藤 俊哉	5N 9554
電話番号 03-3581-1101 内線 3586		

様式PCT/IPEA/409 (表紙) (2005年4月)

## 第I欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願
- ☐ 出願時の言語から次の目的のための言語である \_\_\_\_\_ 語に翻訳された、この国際出願の翻訳文
- ☐ 国際調査 (PCT規則12.3(a)及び23.1(b))
- ☐ 国際公開 (PCT規則12.4(a))
- ☐ 国際予備審査 (PCT規則55.2(a)又は55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1-34 \_\_\_\_\_ ページ、出願時に提出されたもの

第 \_\_\_\_\_ ページ\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

第 \_\_\_\_\_ ページ\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

☒ 請求の範囲

第 \_\_\_\_\_ 項、出願時に提出されたもの

第 \_\_\_\_\_ 項\*、PCT19条の規定に基づき補正されたもの

第 1-48 \_\_\_\_\_ 項\*、26.08.2005 付で国際予備審査機関が受理したもの

第 \_\_\_\_\_ 項\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

☒ 図面

第 1-51 \_\_\_\_\_ ページ/図、出願時に提出されたもの

第 \_\_\_\_\_ ページ/図\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

第 \_\_\_\_\_ ページ/図\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ
- ☐ 請求の範囲 第 \_\_\_\_\_ 項
- ☐ 図面 第 \_\_\_\_\_ ページ/図
- ☐ 配列表 (具体的に記載すること) \_\_\_\_\_
- ☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

- ☐ 明細書 第 \_\_\_\_\_ ページ
- ☐ 請求の範囲 第 \_\_\_\_\_ 項
- ☐ 図面 第 \_\_\_\_\_ ページ/図
- ☐ 配列表 (具体的に記載すること) \_\_\_\_\_
- ☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

\* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

## 第Ⅲ欄 新規性、進歩性又は産業上の利用可能性についての見解の不作成

次に関して、当該請求の範囲に記載されている発明の新規性、進歩性又は産業上の利用可能性につき、次の理由により審査しない。

☐ 国際出願全体

☒ 請求の範囲 44-48

理由：

☐ この国際出願又は請求の範囲 は、国際予備審査をすることを要しない次の事項を内容としている（具体的に記載すること）。

☐ 明細書、請求の範囲若しくは図面（次に示す部分）又は請求の範囲 の記載が、不明確であるため、見解を示すことができない（具体的に記載すること）。

☐ 全部の請求の範囲又は請求の範囲 が、明細書による十分な裏付けを欠くため、見解を示すことができない（具体的に記載すること）。

☒ 請求の範囲 44-48 について、国際調査報告が作成されていない。

☐ 入手可能な配列表が存在せず、有意義な見解を示すことができなかった。

出願人は所定の期間内に、

☐ 実施細則の附属書Cに定める基準を満たす紙形式の配列表を提出しなかったため、国際予備審査機関は、認められた形式及び方法で配列表を入手することができなかった。

☐ 実施細則の附属書Cに定める基準を満たす電子形式の配列表を提出しなかったため、国際予備審査機関は、認められた形式及び方法で配列表を入手することができなかった。

☐ PCT規則13の3.1(a)又は(b)及び13の3.2に基づく命令に応じた、要求された配列表の遅延提出手数料を支払わなかった。

☐ 入手可能な配列表に関連するテーブルが存在しないため、有意義な見解を示すことができなかった。すなわち、出願人が、所定の期間内に、実施細則の附属書Cの2に定める技術的な要件を満たす電子形式のテーブルを提出しなかったため、国際予備審査機関は、認められた形式及び方法でテーブルを入手することができなかった。

☐ ヌクレオチド又はアミノ酸の配列表に関連するテーブルが電子形式のみで提出された場合において、当該テーブルが、実施細則の附属書Cの2に定める技術的な要件を満たしていない。

☐ 詳細については補充欄を参照すること。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第 12 条（PCT35 条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性（N）	請求の範囲 1-27, 29, 31-43	有
	請求の範囲 28, 30	無
進歩性（I S）	請求の範囲 1-27, 32, 33, 35-43	有
	請求の範囲 28-31, 34	無
産業上の利用可能性（I A）	請求の範囲 1-43	有
	請求の範囲	無

2. 文献及び説明（PCT規則 70.7）

文献 1：JP 10-188570 A（インターナショナル・ビジネス・マシーンズ・コーポレイション）1998. 07. 21, 図 1, 図 9  
文献 2：JP 11-17025 A（株式会社東芝）1999. 01. 22, 図 4  
文献 3：JP 61-26997 A（株式会社東芝）1986. 02. 06, 図 4

請求の範囲 1－27, 42－43に係る発明は、国際調査報告で引用された何れの文献にも開示されておらず、進歩性を有する。文献 1 には、CMOS インバータをループ接続し、トランジスタ 104 に直列に接続されたトランジスタ 108（本願の保持制御手段に対応）を備えたメモリセルが記載されているが、データの読み出しを行わない側のインバータ回路のドライブトランジスタに直列に接続された保持制御手段を備えた点は何れの文献にも記載されておらず、当業者にとって自明なものでもない。

請求の範囲 28, 30に係る発明は、国際調査報告で引用された文献 2 より新規性を有しない。文献 2 の図 4 にメモリセルを L 字型に構成したものが記載されている。

請求の範囲 29, 31に係る発明は、国際調査報告で引用された文献 2 より進歩性を有しない。文献 2 の図 4 にメモリセルを L 字型に構成したものが記載されており、周知の SRAM セルについて同様に L 字型とすることは当業者ならば容易である。

請求の範囲 32, 33に係る発明は、国際調査報告で引用された何れの文献にも開示されておらず、進歩性を有する。文献 2 の図 4 にメモリセルを L 字型に構成したものが記載されているが、P ウェル領域の一方が突出した L 字型領域である点は、何れの文献にも記載されておらず、当業者にとって自明なものでもない。

請求の範囲 34に係る発明は、国際調査報告で引用された文献 2, 3 より進歩性を有しない。文献 3 の図 4 に 3 方向にミラー反転させたメモリセルアレイを配置することが記載されており、文献 2 記載のメモリセルを同様に配置することは当業者ならば容易であり、L 字型の領域を配置したならば空きスペースが出来ることは自明である。

請求の範囲 35－41に係る発明は、国際調査報告で引用された何れの文献にも開示されておらず、進歩性を有する。文献 6 の図 4 に 3 方向にミラー反転させたメモリセルアレイを配置することが記載されているが、メモリセル間の空きスペースにセンスアンプを配置することは何れの文献にも記載されておらず、当業者にとって自明なものでもない。

## 請求の範囲

1. (補正後) 第1及び第2のデータ記憶ノードを備えた半導体記憶装置であって、

前記第2のデータ記憶ノードを入力として前記第1のデータ記憶ノードを出力とする第1のインバータ回路と、前記第1のデータ記憶ノードを入力として前記第2のデータ記憶ノードを出力とする第2のインバータ回路と、前記第1のデータ記憶ノードに接続され、データの読み出しを行う第1のアクセス手段と、前記第2のインバータ回路のドライブトランジスタに直列に接続された保持制御手段と、を備えたメモリセルを有することを特徴とする半導体記憶装置。

2. (補正後) 請求項1記載の半導体記憶装置において、前記メモリセルは前記第2の記憶ノードにアクセスする第2のアクセス手段をさらに備え、前記第2のアクセス手段は、書き込み信号により活性化され書き込みビット線と前記第2のデータ記憶ノードとの間でデータ伝達することを特徴とする半導体記憶装置。

3. (補正後) 請求項2記載の半導体記憶装置において、前記第1のアクセス手段は、メモリアクセス信号により活性化され読み出し書き込み兼用ビット線と前記第1のデータ記憶ノードとの間でデータ伝達することを特徴とする半導体記憶装置。

4. (補正後) 請求項3記載の半導体記憶装置において、前記メモリセルを構成する前記第1及び第2のインバータ回路はCMOSインバータ回路であり、前記第1及び第2のアクセス手段及び前記保持制御手段はNMOSトランジスタで形成されたことを特徴とする半導体記憶装置。

5. (補正後) 請求項1記載の半導体記憶装置において、前記メモリセルは前記第2のデータ記憶ノードにアクセスする第2のアクセス手段をさらに備え、前記第2のアクセス手段は書き込み信号により活性化され前記第2データ記憶ノードをリセットすることを特徴とする半導体記憶装置。

6. (補正後) 請求項5記載の半導体記憶装置において、前記メモリセルを構

成する前記第 1 及び第 2 のインバータ回路は CMOS インバータ回路であり、前記第 1 及び第 2 のアクセス手段及び前記保持制御手段は NMOS トランジスタで形成されたことを特徴とする半導体記憶装置。

7. (補正後) 第 1 及び第 2 のデータ記憶ノードを備えた半導体記憶装置であって、

前記第 2 のデータ記憶ノードを入力として前記第 1 のデータ記憶ノードを出力とする第 1 のインバータ回路と、前記第 1 のデータ記憶ノードを入力として前記第 2 のデータ記憶ノードを出力とする第 2 のインバータ回路と、

前記第 1 のデータ記憶ノードに接続され、データの読み出しを行う第 1 のアクセス手段と、前記第 2 のインバータ回路のドライブトランジスタに直列に接続されたトランジスタと、を備えたメモリセルを有することを特徴とする半導体記憶装置。

8. (補正後) 請求項 7 記載の半導体記憶装置において、前記メモリセルは前記第 2 の記憶ノードにアクセスする第 2 のアクセス手段をさらに備え、前記第 2 のアクセス手段は、書き込み信号により活性化され書き込みビット線と前記第 2 のデータ記憶ノードとの間でデータ伝達することを特徴とする半導体記憶装置。

9. (補正後) 請求項 8 記載の半導体記憶装置において、前記第 1 のアクセス手段は、メモリアクセス信号により活性化され読み出し書き込み兼用ビット線と前記第 1 のデータ記憶ノードとの間でデータ伝達することを特徴とする半導体記憶装置。

10. (補正後) 請求項 7 記載の半導体記憶装置において、前記メモリセルは前記第 2 のデータ記憶ノードにアクセスする第 2 のアクセス手段をさらに備え、前記第 2 のアクセス手段は書き込み信号により活性化され前記第 2 データ記憶ノードをリセットすることを特徴とする半導体記憶装置。

11. (補正後) 第 1 及び第 2 のデータ記憶ノードを備えた半導体記憶装置であって、

前記第 2 のデータ記憶ノードを入力として前記第 1 のデータ記憶ノードを出力とする第 1 のインバータ回路と、前記第 1 のデータ記憶ノードを入力として前記

第2のデータ記憶ノードを出力とする第2のインバータ回路と、

前記第1のデータ記憶ノードに接続され、データの読み出しを行う第1のアクセストランジスタと、前記第2のインバータ回路のドライブトランジスタに直列に接続されたトランジスタと、を備え、前記トランジスタは、前記第1データ記憶ノードのデータを読み出し時にオフすることを特徴とする半導体記憶装置。

12. (補正後) 半導体記憶装置において、ループ接続されて第1及び第2のデータ記憶ノードを形成する第1及び第2のインバータ回路と、前記第1及び第2のデータ記憶ノードにそれぞれアクセスする第1及び第2のアクセス手段と、前記第2のインバータ回路のドライブトランジスタに直列に接続された保持制御手段と、を備え、

前記第1のアクセス手段は読み出し信号により活性化され読み出しビット線と前記第1データ記憶ノードとの間でデータ伝達し、前記第2のアクセス手段は書き込み信号により活性化され書き込みビット線と前記第2データ記憶ノードとの間でデータ伝達することを特徴とする半導体記憶装置。

13. (補正後) 請求項1記載の半導体記憶装置において、前記メモリセルとのデータ伝達を行うビット線と、入出力回路とのデータ伝達を行うデータ線と、前記ビット線を入力とするインバータ回路と、該インバータ回路の出力を前記データ線に伝達するデータ読み出し手段と、書き込み信号により活性化され前記データ線からのデータを前記ビット線に伝達するデータ書き込み手段とを備えたセンスアンプをさらに有することを特徴とする半導体記憶装置。

14. (補正後) 請求項13記載の半導体記憶装置において、前記センスアンプはビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力され前記ビット線のレベルを維持するレベル維持手段とをさらに備えたことを特徴とする半導体記憶装置。

15. (補正後) 請求項14記載の半導体記憶装置において、前記センスアンプにおける前記データ線は前記読み出し手段に接続された読み出しデータ線と、前記書き込み手段に接続された書き込みデータ線とから構成されたことを特徴とする半導体記憶装置。

16. (補正後) 請求項14記載の半導体記憶装置において、前記センスアンプは書き込みビットに接続された書き込みプリチャージ手段と、反転書き込みデータ線からの反転書き込みデータを前記書き込みビット線に伝達する第2の書き込み手段とをさらに備えたことを特徴とする半導体記憶装置。

17. (補正後) 請求項15記載の半導体記憶装置において、前記センスアンプは書き込みビットに接続された書き込みプリチャージ手段と、反転書き込みデータ線からの反転書き込みデータを前記書き込みビット線に伝達する第2の書き込み手段とをさらに備えたことを特徴とする半導体記憶装置。

18. (補正後) 請求項14記載の半導体記憶装置において、前記センスアンプは前記インバータ回路の出力に接続された書き込みビットと、反転書き込みデータ線からの反転書き込みデータを前記書き込みビット線に伝達する第2の書き込み手段とをさらに備えたことを特徴とする半導体記憶装置。

19. (補正後) 請求項15記載の半導体記憶装置において、前記センスアンプは前記インバータ回路の出力に接続された書き込みビットと、反転書き込みデータ線からの反転書き込みデータを前記書き込みビット線に伝達する第2の書き込み手段とをさらに備えたことを特徴とする半導体記憶装置。

20. (補正後) 請求項15記載の半導体記憶装置において、前記センスアンプは前記インバータ回路の出力に接続された書き込みビットと、前記書き込みデータ線からの信号をゲート入力とし、ソースを接地電位に、ドレインを前記書き込みビット線に接続された書き込みトランジスタとをさらに備えたことを特徴とする半導体記憶装置。

21. (補正後) 請求項14記載の半導体記憶装置において、前記センスアンプは反転書き込みデータ線に接続された書き込みビット線をさらに備えたことを特徴とする半導体記憶装置。

22. (補正後) 請求項15記載の半導体記憶装置において、前記センスアンプは反転書き込みデータ線に接続された書き込みビット線をさらに備えたことを特徴とする半導体記憶装置。

23. (補正後) 請求項1記載の半導体記憶装置において、前記メモリセルと

のデータ伝達を行うビット線及び書き込みビット線と、入出力回路とのデータ伝達を行う読み出しデータ線及び反転書き込みデータ線と、前記ビット線を入力とするインバータ回路と、該インバータ回路の出力を前記読み出しデータ線に伝達するデータ読み出し手段と、書き込み信号により活性化され前記反転書き込みデータ線からのデータを前記書き込みビット線に伝達するデータ書き込み手段と、前記ビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力され前記ビット線のレベルを維持するレベル維持手段と、を備えたセンスアンプをさらに有することを特徴とする半導体記憶装置。

24. (補正後) 請求項1記載の半導体記憶装置において、前記メモリセルとのデータ伝達を行うビット線及び書き込みビット線と、入出力回路とのデータ伝達を行う読み出しデータ線及び反転書き込みデータ線と、前記ビット線を入力とするインバータ回路と、該インバータ回路の出力を前記読み出しデータ線に伝達するデータ読み出し手段と、前記ビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力され前記ビット線のレベルを維持するレベル維持手段と、を備え、前記書き込みビット線は前記反転書き込みデータ線に直結されたセンスアンプをさらに有することを特徴とする半導体記憶装置。

25. (補正後) 請求項1記載の半導体記憶装置において、メインワード信号と、読み出しブロック選択信号及び反転読み出しブロック選択信号とにより読み出しワード線を選択し、メインワード信号と、書き込みブロック選択信号及び反転書き込みブロック選択信号とにより書き込みワード線を選択するサブワードドライバをさらに有することを特徴とする半導体記憶装置。

26. (補正後) 請求項25記載の半導体記憶装置において、前記サブワードドライバは前記メインワード信号を入力とし読み出しワード線信号を出力する第1のインバータ回路と、前記読み出しワード線信号をドレインに接続された第1のトランジスタとを備え、前記第1のインバータ回路は前記読み出しブロック選択信号と接地電位との間に形成され、前記第1のトランジスタのゲートは前記反転読み出しブロック信号に、ソースは接地電位に接続されたことを特徴とする半導体記憶装置。

27. (補正後) 請求項25記載の半導体記憶装置において、前記サブワードドライバは前記メインワード信号を入力とし書き込みワード線信号を出力する第2のインバータ回路と、前記書き込みワード線信号をドレインに接続された第2のトランジスタと、を備え、前記第2のインバータ回路は前記書き込みブロック選択信号と接地電位との間に形成され、前記第2のトランジスタのゲートは前記反転書き込みブロック信号に、ソースは接地電位に接続されたことを特徴とする半導体記憶装置。

28. (補正後) 複数素子を含むメモリセルであって、前記メモリセルがL字形領域内にレイアウトされたことを特徴とするメモリセル。

29. (補正後) スタティックランダムアクセスメモリにおいて、複数素子を含むスタティックランダムアクセスメモリセルがL字形領域内にレイアウトされたことを特徴とするスタティックランダムアクセスメモリ。

30. (補正後) 半導体記憶装置において、複数素子を含むメモリセルがL字形領域内にレイアウトされたことを特徴とする半導体記憶装置。

31. (補正後) 請求項30記載の半導体記憶装置において、前記メモリセルがスタティックランダムアクセスメモリセルであることを特徴とする半導体記憶装置。

32. (補正後) 請求項30記載の半導体装置において、前記メモリセルはNウェル領域の両側にPウェル領域を有し、前記Nウェル領域及びPウェル領域の一边は連続した辺であり、該連続した辺に対向する辺は不連続であり、前記Pウェル領域の一方が突出したL字形領域を形成することを特徴とする半導体記憶装置。

33. (補正後) 請求項32記載の半導体装置において、前記Pウェル領域の高さが低い領域の辺から接地電位が、該辺に連続した前記Nウェル領域から電源電位が取り出されることを特徴とする半導体記憶装置。

34. (補正後) 請求項30記載の半導体記憶装置において、前記メモリセルをそれぞれ3方向にミラー反転させたメモリセルアレイが、その中央部に前記メモリセルを構成する素子が配置されない空スペースを有することを特徴とする半

導体記憶装置。

35.(補正後) 請求項34記載の半導体記憶装置において、前記空スペースにセンスアンプを構成する素子を配置するようにレイアウトされたことを特徴とする半導体記憶装置。

36.(補正後) 半導体記憶装置において、配置されたメモリセルをそれぞれ3方向にミラー反転させたメモリセルアレイは、その中央部に前記メモリセルを構成する素子が配置されない空スペースを有するようにレイアウトされ、前記空スペースにセンスアンプを構成する素子を配置するようにレイアウトされたことを特徴とする半導体記憶装置。

37.(補正後) 請求項36記載の半導体記憶装置において、前記センスアンプは読み出しの際にビット線からのセルデータをデータ線に伝えるインバータ回路と読み出しトランジスタと、書き込みの際にデータ線からのデータを前記ビット線に伝える書き込みトランジスタとであることを特徴とする半導体記憶装置。

38.(補正後) 請求項36記載の半導体装置において、前記センスアンプの素子は隣接するメモリセル領域の空スペースに配置レイアウトされることを特徴とする半導体装置。

39.(補正後) 請求項38記載の半導体装置において、前記センスアンプの配線は隣接するメモリセル領域に配置するようにレイアウトされたことを特徴とする半導体装置。

40.(補正後) 請求項39記載の半導体装置において、前記センスアンプの配線は隣接するメモリセルの電源配線領域の一部に配置するようにレイアウトされたことを特徴とする半導体装置。

41.(補正後) 請求項36記載の半導体装置において、前記メモリセルのN個(Nは8の倍数)毎に前記センスアンプ1個を配置するようにレイアウト配置レイアウトされたことを特徴とする半導体記憶装置。

42.(補正後) 請求項1記載の半導体記憶装置において、前記メモリセルを構成する素子をL字形領域内にレイアウトされたことを特徴とする半導体記憶装置。

43. (補正後) 請求項1記載の半導体記憶装置において、配置されたメモリセルをそれぞれ3方向にミラー反転させたメモリセルアレイが、その中央部に前記メモリセルを構成する素子が配置されない空スペースにセンスアンプを構成する素子を配置するようにレイアウトされたことを特徴とする半導体記憶装置。

44. (追加) 請求項5記載の半導体記憶装置において、前記メモリセルを構成する素子をL字形領域内にレイアウトされたことを特徴とする半導体記憶装置。

45. (追加) 半導体記憶装置の読み出し方法において、メモリセルは、ループ接続されて第1及び第2のデータ記憶ノードを形成する第1及び第2のインバータ回路と、前記第1及び第2のデータ記憶ノードにそれぞれアクセスする第1及び第2のアクセス手段と、前記第2のインバータ回路のドライブトランジスタに直列に接続された保持制御手段と、を備え、

メモリセルの読み出しワード線が活性化されたとき、前記保持制御手段をオフさせ、第1のアクセス手段はビット線と第1のデータ記憶ノードを接続し、メモリセルデータをビット線に読み出しことを特徴とする半導体記憶装置の読み出し方法。

46. (追加) 半導体記憶装置の書き込み方法において、メモリセルは、ループ接続されて第1及び第2のデータ記憶ノードを形成する第1及び第2のインバータ回路と、前記第1及び第2のデータ記憶ノードにそれぞれアクセスする第1及び第2のアクセス手段と、前記第2のインバータ回路のドライブトランジスタに直列に接続された保持制御手段と、を備え

メモリセルの読み出し及び書き込みワード線が活性化されたとき、前記保持制御手段をオフさせ、前記第2のアクセス手段は前記第2のデータ記憶ノードを低電位にリセットし、第1のアクセス手段はビット線と第1のデータ記憶ノードを接続させ、その後、書き込みワード線を非活性化し、ビット線のデータを第1のデータ記憶ノードに書き込むことを特徴とする半導体記憶装置の書き込み方法。

47. (追加) 半導体記憶装置の書き込み方法において、メモリセルは、ループ接続されて第1及び第2のデータ記憶ノードを形成する第1及び第2のインバータ回路と、前記第1及び第2のデータ記憶ノードにそれぞれアクセスする第1

及び第2のアクセス手段と、前記第2のインバータ回路のドライブトランジスタに直列に接続された保持制御手段と、を備え、

メモリセルの読み出し及び書き込みワード線が活性化されたとき、前記保持制御手段をオフさせ、第1のアクセス手段はビット線と第1のデータ記憶ノードを接続させ、ビット線のデータを第1のデータ記憶ノードに書き込むとともに、第2のアクセス手段は書き込みビット線と第2のデータ記憶ノードを接続させ、書き込みビット線のデータを第2のデータ記憶ノードに書き込むことを特徴とする半導体記憶装置の書き込み方法。

48. (追加) 半導体記憶装置の書き込み方法において、メモリセルは、ループ接続されて第1及び第2のデータ記憶ノードを形成する第1及び第2のインバータ回路と、前記第1及び第2のデータ記憶ノードにそれぞれアクセスする第1及び第2のアクセス手段と、前記第2のインバータ回路のドライブトランジスタに直列に接続された保持制御手段と、を備え、

前記メモリセルへの書き込み時には、前記保持制御手段をオフさせ、前記第2のアクセス手段は書き込みビット線と前記第2のデータ記憶ノードを接続させ、前記書き込みビット線のデータを前記第2のデータ記憶ノードに書き込むことを特徴とする半導体記憶装置の書き込み方法。